

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Toshihide SUZUKI

Application No.:

Group Art Unit:

Filed: October 21, 2003

Examiner:

For: SIGNAL MULTIPLEXING CIRCUIT AND OPTICAL COMMUNICATION SYSTEM
TRANSMITTER

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-309751

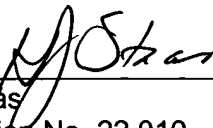
Filed: October 24, 2002

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: October 21, 2003

By: 
H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 0 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 3 0 9 7 5 1
Application Number:

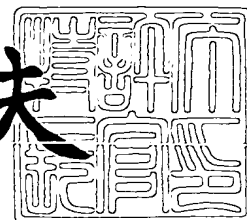
[ST. 10/C] : [J P 2 0 0 2 - 3 0 9 7 5 1]

出 願 人 富 士 通 株 式 会 社
Applicant(s):

2 0 0 3 年 7 月 3 1 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 0 6 1 2 7 6

【書類名】 特許願

【整理番号】 0240963

【提出日】 平成14年10月24日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H04J 3/00

【発明の名称】 信号多重化回路及び光通信システム送信器

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 鈴木 俊秀

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0114942

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号多重化回路及び光通信システム送信器

【特許請求の範囲】

【請求項 1】 第 1 のクロック信号に同期して 2 つのデータ信号を多重化する第 1 のセクタ回路と、

第 2 のクロック信号に同期して 2 つのデータ信号を多重化する第 2 のセクタ回路と、

該第 1 のクロック信号と該第 2 のクロック信号とを互いに 90° 位相のずれた信号として生成するクロック制御回路を含むことを特徴とする信号多重化回路。

【請求項 2】 該第 1 のセクタ回路の出力と該第 2 のセクタ回路の出力とを第 3 のクロック信号に同期して多重化する第 3 のセクタ回路を更に含むことを特徴とする請求項 1 記載の信号多重化回路。

【請求項 3】 該クロック制御回路は、該第 3 のクロック信号に基づいて該第 3 のクロック信号の $1/2$ の周波数を有する該第 1 のクロック信号及び該第 2 のクロック信号を生成することを特徴とする請求項 2 記載の信号多重化回路。

【請求項 4】 該クロック制御回路は、

該第 3 のクロック信号をクロック入力とする第 1 のラッチ回路と、

該第 3 のクロック信号を反転クロック入力とし該第 1 のラッチ回路の出力をデータ入力とする第 2 のラッチ回路

を含み、該第 2 のラッチ回路の出力の反転信号を該第 1 のラッチ回路のデータ入力とし、該第 1 のクロック信号は該第 1 のラッチ回路の出力であり、該第 2 のクロック信号は該第 2 のラッチ回路の出力であることを特徴とする請求項 3 記載の信号多重化回路。

【請求項 5】 該クロック制御回路は、

該第 3 のクロック信号を $1/2$ 分周して該第 1 のクロック信号を生成する回路と、

該第 1 のクロック信号を所定の時間だけ遅延させる遅延回路を含むことを特徴とする請求項 3 記載の信号多重化回路。

【請求項 6】該第 1 のセレクト回路に入力される該 2 つのデータ信号の位相を互いにずらす第 1 のデータタイミング調整回路と、

該第 2 のセレクト回路に入力される該 2 つのデータ信号の位相を互いにずらす第 2 のデータタイミング調整回路

を更に含むことを特徴とする請求項 1 記載の信号多重化回路。

【請求項 7】該第 1 のデータタイミング調整回路は該第 1 のクロック信号に基づいてタイミング調整を行い、該第 2 のデータタイミング調整回路は該第 2 のクロック信号に基づいてタイミング調整を行うことを特徴とする請求項 6 記載の信号多重化回路。

【請求項 8】信号多重化回路と、

該信号多重化回路の出力を増幅する増幅回路と、

該増幅回路の出力により光信号を変調する変調回路
を含み、該信号多重化回路は、

第 1 のクロック信号に同期して 2 つのデータ信号を多重化する第 1 のセレクト回路と、

第 2 のクロック信号に同期して 2 つのデータ信号を多重化する第 2 のセレクト回路と、

該第 1 のクロック信号と該第 2 のクロック信号とを互いに 90° 位相のずれた信号として生成するクロック制御回路

を含むことを特徴とする光通信システム送信器。

【請求項 9】該信号多重化回路は、該第 1 のセレクト回路の出力と該第 2 のセレクト回路の出力とを第 3 のクロック信号に同期して多重化する第 3 のセレクト回路を更に含むことを特徴とする請求項 8 記載の光通信システム送信器。

【請求項 10】該クロック制御回路は、該第 3 のクロック信号に基づいて該第 3 のクロック信号の $1/2$ の周波数を有する該第 1 のクロック信号及び該第 2 のクロック信号を生成することを特徴とする請求項 8 記載の光通信システム送信器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に信号多重化回路に関し、詳しくは光通信システム送信部等で使用される高速に動作可能な信号多重化回路に関する。

【従来の技術】

光通信システム送信部では、信号多重化回路によりデータ信号を多重化し、多重化後のデータ信号に基づいて光信号を変調することにより、光ファイバを介して受信端にデータ送信を行う。このような光通信システムは高い周波数での高速な動作を行う必要があり、高い周波数で十分な信頼性をもって動作可能な信号多重化回路が要求される。

【0002】

図1は、光通信システム送信部の一般的な構成を示す図である。

【0003】

図1の光通信システム送信部10は、信号多重化回路11、PLL回路12、増幅器13、レーザダイオード14、及び変調器15を含む。PLL回路12は、データ信号に同期する参照クロック信号CLKに基づいてフィードバックループによる位相固定動作を実行し、クロック信号CLKを生成する。クロック信号CLKは、信号多重化回路11に供給される。

【0004】

信号多重化回路11は、Nチャネルの入力データを受け取り、クロック信号CLKに基づいて入力データを多重化する。多重化された信号は、増幅器13により増幅され変調器15に供給される。変調器15は、増幅器13から供給される多重化信号に基づいて、レーザダイオード14が発生するレーザ光を多重化する。多重化された信号は、光ファイバ16を介して受信端に伝送される。

【0005】

図2は、従来の信号多重化回路11の構成の一例を示す回路図である。

【0006】

図2の信号多重化回路11は、セクタ回路21乃至23、トグルフリップフロップ24、Dラッチ25乃至29、及びバッファ30乃至34を含む。

【0007】

図3は、図2の信号多重化回路11の動作を示す信号タイミング図である。以

下に、図 3 を参照して図 2 の回路の動作を説明する。

【0008】

図 3 (k) 或いは (n) に示されるクロック信号 CLK が、トグルフリップフロップ 24 により 1/2 分周されて、図 3 (c) 又は (g) に示されるクロック信号 E が生成される。このクロック信号 E は、セクタ回路 21 及び 22 に供給される。セクタ回路 21 にバッファ 30 及び 31 を介して入力されるデータ信号 D1 及び D3 (図 3 (a) 及び (b)) は、クロック信号 E (図 3 (c)) と同期がとれている。セクタ回路 21 は、クロック信号 E に基づいてデータ選択し、データ信号 D1 及び D3 が多重化された多重化信号 A (図 3 (d)) を生成する。またセクタ回路 22 にバッファ 32 及び 33 を介して入力されるデータ信号 D2 及び D4 (図 3 (e) 及び (f)) は、クロック信号 E (図 3 (g)) と同期がとれている。セクタ回路 22 は、クロック信号 E に基づいてデータ選択し、データ信号 D2 及び D4 が多重化された多重化信号 B (図 3 (h)) を生成する。

【0009】

多重化信号 A (図 3 (i)) は、クロック信号 CLK をタイミング信号とする D ラッチ 25 及び 26 によりラッチされ、クロック信号 CLK (図 3 (k)) の立ち下がりに同期した多重化信号 C (図 3 (l)) となる。また多重化信号 B (図 3 (j)) は、クロック信号 CLK をタイミング信号とする D ラッチ 27 乃至 29 によりラッチされ、クロック信号 CLK (図 3 (k)) の立ち上がりに同期した多重化信号 D (図 3 (m)) となる。このようにして生成された多重化信号 C 及び D は、セクタ回路 23 に供給される。

【0010】

セクタ回路 23 は、クロック信号 CLK (図 3 (n)) に基づいてデータ選択することで、多重化信号 C 及び D を更に多重化した多重化信号 Q (図 3 (o)) を生成する。このようにして、信号 D1 乃至 D4 が多重化された信号である多重化信号 Q が得られる。

【0011】

上記構成において、D ラッチ 25 乃至 29 は、互いに同位相である多重化信号

A 及び B から、互いに 90° 位相がずれた多重化信号 C 及び D を生成するために設けられる。このように互いに 90° 位相をずらすことで、セクタ回路 23 において、クロック信号 CLK に対して選択対象の信号 C 及び D にタイミング余裕が生じる。この結果、例えばクロック信号 CLK の位相が多少早くなっても、正しく信号を多重化することができる。即ち、互いに同位相である多重化信号 A 及び B を、これらの信号にエッジタイミングが揃ったクロック信号 CLK により選択する場合には、少しでもクロック信号 CLK のタイミングがずれると正しい信号多重化結果が得られない。それに対して、図 2 の構成のように選択対象の信号を互いに 90° 位相をずらすことで、タイミング余裕が生じ、高速な動作においても信頼性のあるデータ多重化を行うことができる。

【0012】

なお図 2 及び図 3 に示すのは、4 つのデータ信号 D1 乃至 D4 を多重化する回路の例であるが、同様にして任意の数のデータ信号を多重化することができる。例えば、図 2 に示す信号多重化回路を 2 つ並列に並べ、それぞれの信号多重化回路で 4 つのデータ信号を多重化し、得られた 2 つの多重化信号を 2 対 1 のセクタ回路により選択することで、8 対 1 の多重化を行うことができる。その際、最終段の 2 対 1 のセクタ回路の前段にも、 90° 位相調整を行う D ラッチを必要に応じて設けることができる。

【0013】

またデジタルデータの並列直列変換に関連して、高速に動作可能な並列直列変換回路が従来技術にある（特許文献 1）。

【0014】

【特許文献 1】

特開平 9-6591 号公報。

【発明が解決しようとする課題】

上記の信号多重化回路 11 においては、D ラッチが 5 つ必要となり、その分の消費電力及び回路面積が増大する。またこれらの D ラッチには高速で確実に動作することが要求されると共に、D ラッチにより生じる信号遅延に対して、次段におけるクロック信号 CLK とのタイミング合わせが必要になる。

【0015】

以上を鑑みて、本発明は、消費電力及び回路面積を必要最小限に抑えながら、高速で確実な動作の可能な信号多重化回路を提供することを目的とする。

【課題を解決するための手段】

本発明による信号多重化回路は、第1のクロック信号に同期して2つのデータ信号を多重化する第1のセクタ回路と、第2のクロック信号に同期して2つのデータ信号を多重化する第2のセクタ回路と、該第1のクロック信号と該第2のクロック信号とを互いに90°位相のずれた信号として生成するクロック制御回路を含むことを特徴とする。

【0016】

上記信号多重化回路においては、互いに90°位相がずれたクロック信号を使用するので、従来の構成のようにデータ信号の位相を90°ずらすためのDラッチ群を設ける必要が無く、その分の電力消費及び回路面積を削減しながらも選択対象の信号を互いに90°位相をずらすことが可能となり、タイミングに余裕を持たせ、高速な動作において信頼性のあるデータ多重化を行うことができる。

【0017】

また本発明による光通信システム送信器は、信号多重化回路と、該信号多重化回路の出力を増幅する増幅回路と、該増幅回路の出力により光信号を変調する変調回路を含み、該信号多重化回路は、第1のクロック信号に同期して2つのデータ信号を多重化する第1のセクタ回路と、第2のクロック信号に同期して2つのデータ信号を多重化する第2のセクタ回路と、該第1のクロック信号と該第2のクロック信号とを互いに90°位相のずれた信号として生成するクロック制御回路を含むことを特徴とする。

【0018】

上記光通信システム送信器においては、電力消費及び回路面積を削減しながらもタイミングに余裕を持たせ、高速な動作において信頼性のあるデータ多重化を行うことができる。

【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0019】

図4は、本発明による信号多重化回路の構成の一例を示す回路図である。この信号多重化回路は、例えば、図1の光通信システム送信部10における信号多重化回路として用いられる。

【0020】

図4の信号多重化回路は、セクタ回路41乃至43、トグルフリップフロップ44、及びバッファ45乃至49を含む。

【0021】

図5は、図4の信号多重化回路の動作を示す信号タイミング図である。以下に、図5を参照して図4の回路の動作を説明する。

【0022】

図4(a)に示されるクロック信号CLKが、トグルフリップフロップ44により1/2分周されて、クロック信号CLKと同位相関係にあるクロック信号E(図4(b))と、クロック信号Eとは位相が90°ずれたクロック信号F(図4(c))とが生成される。クロック信号Eはセクタ回路41に供給され、クロック信号Fはセクタ回路42に供給される。セクタ回路41にバッファ45及び46を介して入力されるデータ信号D1及びD3(図4(d)及び(e))は、クロック信号E(図4(f))と同期がとれている。セクタ回路41は、クロック信号Eに基づいてデータ選択し、データ信号D1及びD3が多重化された多重化信号A(図4(g))を生成する。またセクタ回路42にバッファ47及び48を介して入力されるデータ信号D2及びD4(図4(h)及び(i))は、クロック信号F(図4(j))と同期がとれている。セクタ回路42は、クロック信号Fに基づいてデータ選択し、データ信号D2及びD4が多重化された多重化信号B(図4(k))を生成する。

【0023】

このようにして生成された多重化信号A及びBは、互いに位相が90°ずれた信号であり、セクタ回路43に供給される。

【0024】

セクタ回路43は、クロック信号CLK(図4(n))に基づいてデータ選

択することで、多重化信号A及びBを更に多重化した多重化信号Q（図4（o））を生成する。このようにして、信号D1乃至D4が多重化された信号である多重化信号Qが得られる。

【0025】

上記構成において、トグルフリップフロップ44が互いに90°位相がずれたクロック信号E及びFを生成し、これらのクロック信号に基づいてセクタ回路41及び42がデータ選択することで、互いに90°位相がずれた多重化信号A及びBを生成する。このように互いに90°位相をずらすことで、セクタ回路43において、クロック信号CLKに対して選択対象の信号A及びBにタイミング余裕が生じる。この結果、例えばクロック信号CLKの位相が多少早くなっても、正しく信号を多重化することができる。即ち、高速な動作においても信頼性のあるデータ多重化を行うことができる。

【0026】

なお図4及び図5に示すのは、4つのデータ信号D1乃至D4を多重化する回路の例であるが、同様にして任意の数のデータ信号を多重化することができる。例えば、図4に示す信号多重化回路を2つ並列に並べ、それぞれの信号多重化回路で4つのデータ信号を多重化し、得られた2つの多重化信号を2対1のセクタ回路により選択することで、8対1の多重化を行うことができる。その際、最終段の2対1のセクタ回路においても、互いに90°位相の異なるクロック信号を必要に応じて使用することができる。

【0027】

このように本発明による信号多重化回路においては、互いに90°位相がずれたクロック信号を使用するので、図2の構成のように90°位相をずらすためにDラッチ25乃至29を設ける必要が無く、その分の電力消費及び回路面積を削減しながらも選択対象の信号を互いに90°位相をずらすことが可能となり、タイミングに余裕を持たせ、高速な動作において信頼性のあるデータ多重化を行うことができる。

【0028】

図6は、図4の信号多重化回路において使用されるトグルフリップフロップ4

4の構成の一例を示す回路図である。

【0029】

図6のトグルフリップフロップ44は、Dラッチ51及び52を含む。Dラッチ51には立ち上がりエッジトリガのクロック入力としてクロック信号CLKが供給され、Dラッチ52には立ち下がりエッジトリガのクロック入力としてクロック信号CLKが供給される。Dラッチ52の出力が反転入力としてDラッチ51に供給される。これによりトグルフリップフロップ44は、クロックの1サイクルごとに出力を反転するトグル動作を実行し、クロック信号CLKの1/2分周を実現する。またDラッチ51の出力信号とDラッチ52の出力信号とは、90°位相がずれた信号となる。Dラッチ51の出力がクロック信号Eに対応し、Dラッチ52の出力がクロック信号Fに対応する。図7に、クロック信号CLK及びトグルフリップフロップ44の2つのクロック出力の関係を示す。

【0030】

図8は、本発明による信号多重化回路の構成の変形例を示す回路図である。図8において、図4と同一の構成要素は同一の参照番号で示し、その説明は省略する。

【0031】

図8の信号多重化回路は、図4の信号多重化回路の構成に加えて、Dラッチ61乃至70を含む。

【0032】

Dラッチ61乃至65は、互いに同位相であるデータ信号D1及びD3を、互いに位相がずれたデータ信号にするために位相を調整するデータタイミング調整回路である。具体的には、クロック信号Eをクロック入力としてDラッチ61に供給し、クロック信号Eを反転クロック入力としてDラッチ62に供給する。Dラッチ61と62とを直列に接続することで、データ信号D1をクロック信号Eの立ち上がりで取り込み、立ち下がりで出力することができる。またDラッチ63及び64により同様に、データ信号D3をクロック信号Eの立ち上がりにより取り込み立ち下がりで出力し、その出力を更にDラッチ65によりクロック信号Eの立ち上りに揃える。これによりデータ信号D1はクロック信号Eの立ち下

がりに同期して、データ信号D 3はクロック信号Eの立ち上がりに同期することになる。

【0033】

またDラッチ66乃至70は、互いに同位相であるデータ信号D 2及びD 4を、互いに位相がずれたデータ信号にするために位相を調整するデータタイミング調整回路である。これらの回路は、図2の従来技術の構成において多重化信号の位相を90°ずらすために設けられるDラッチ25乃至29と同様の位相調整を、入力データ信号に対して行うものである。

【0034】

図4の構成では、データ信号D 1及びD 3を多重化するセクタ回路41においては、データ信号D 1及びD 3とクロック信号Eとではエッジタイミングが揃っており、厳密なタイミング合わせが必要とされる。またデータ信号D 2及びD 4を多重化するセクタ回路42においても同様であり、データ信号D 2及びD 4とクロック信号Fとではエッジタイミングが揃っており、厳密なタイミング合わせが必要となる。

【0035】

それに対して図8の構成では、セクタ回路41において多重化するデータ信号D 1及びD 3を互いに位相がずれた信号とし、またセクタ回路42において多重化するデータ信号D 2及びD 4を互いに位相がずれた信号とすることで、タイミングに余裕を持たせ、高速動作においても信頼性の高い多重化処理を実行できる。なお図4の構成と比較すると回路規模が増大し消費電力も増加することになるが、図2においてデータ信号D 1乃至D 4に対して同様の位相調整回路を付加する構成よりは、Dラッチ25乃至29が存在しない分、回路規模及び消費電力が少ないことになる。

【0036】

図9は、本発明による信号多重化回路の別の実施例を示す回路図である。図9において、図4と同一の構成要素は同一の参照番号で示し、その説明は省略する。

【0037】

図9の回路は、図4の構成におけるトグルフリップフロップ44の代わりに、1/2分周回路71及び遅延回路72を含む。1/2分周回路71は、クロック信号CLKを1/2分周して、周波数が1/2のクロック信号を生成する。遅延回路72は、周波数が1/2のクロック信号を所定の時間だけ遅延することにより、90°位相のずれたクロック信号を生成する。即ち、遅延回路72の遅延時間は、周波数が1/2のクロック信号の1クロックサイクルの1/4に等しい期間に設定されている。

【0038】

図9の構成では、単純な遅延素子からなる遅延回路72によって90°の位相差を生成することができるが、遅延回路72の遅延時間が固定であるために、クロックサイクルを可変とするようなシステムに使用することは出来ない。

【0039】

図10は、図2の従来技術の信号多重化回路に対してリタイマーを付加した構成を示す図である。図11は、図4の本発明による信号多重化回路に対してリタイマーを付加した構成を示す図である。このようなリタイマーを付加する構成においては、従来技術の信号多重化回路と本発明による信号多重化回路とで、消費電力及び回路規模に更なる差が生じる。

【0040】

リタイマー回路は、タイミングを規定するクロック信号CLKに対して、出力信号のタイミングが合っていない場合或いはタイミングが合っていない可能性がある場合に、出力段においてクロック信号CLKに出力信号のタイミングを揃えるための回路である。図10の従来技術の構成においては、1/2分周器81の入力であるクロック信号CLKをリタイマー回路82に供給し、セクタ回路23からの出力信号のタイミングをクロック信号CLKに合わせている。ここでリタイマー回路82は、Dラッチ101及び102を含み、クロック信号CLKのエッジタイミングで出力信号をラッチする構成となっている。図10に示されるように、従来技術の構成では、セクタ回路23への入力信号の遅延を考慮してセクタ回路23へのクロック入力経路にバッファ83を設け、更にセクタ回路23での遅延を考慮してリタイマー回路82へのクロック入力経路にバッファ

84 を設けている。

【0041】

図11は、図4の本発明による信号多重化回路に対してリタイマーを付加した構成を示す。図11の本発明による構成においては、1/2分周器91の入力であるクロック信号CLKをリタイマー回路92に供給し、セクタ回路43からの出力信号のタイミングをクロック信号CLKに合わせている。ここでリタイマー回路92は、Dラッチ111及び112を含み、クロック信号CLKのエッジタイミングで出力信号をラッチする構成となっている。

【0042】

図11に示される本発明による構成では、セクタ回路43への入力信号の遅延がないので、セクタ回路43へのクロック入力経路に図10のバッファ83のようなタイミング調整用のバッファを設ける必要が無い。この結果、セクタ回路43での遅延を考慮してリタイマー回路92へのクロック入力経路に設けるバッファ94の数は、図10のバッファ84の数に比較して1つ減らすことができる。即ち図10の構成では、セクタ回路23への入力信号の遅延を考慮した分のバッファを、セクタ回路23及びリタイマー回路82へのクロック入力経路に1つずつ挿入する必要があるが、図11の構成では、セクタ回路43への入力信号の遅延が無いので、この分のバッファを挿入する必要が無い。従って、図11の構成では、図10の構成と比較して、セクタ回路43及びリタイマー回路92へのクロック入力経路においてそれぞれバッファの数を1つ少なくすることができる。

【0043】

このように本発明の構成においては、リタイマー回路を付加する場合に、従来技術の信号多重化回路と比較して、消費電力及び回路規模を更に削減することができる。

【0044】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

【発明の効果】

本発明による信号多重化回路においては、互いに 90° 位相がずれたクロック信号を使用するので、従来の構成のようにデータ信号の位相を 90° ずらすためのDラッチ群を設ける必要が無く、その分の電力消費及び回路面積を削減しながらも選択対象の信号を互いに 90° 位相をずらすことが可能となり、タイミングに余裕を持たせ、高速な動作において信頼性のあるデータ多重化を行うことができる。

【図面の簡単な説明】

【図1】

光通信システム送信部の一般的な構成を示す図である。

【図2】

従来の信号多重化回路の構成の一例を示す回路図である。

【図3】

図2の信号多重化回路の動作を示す信号タイミング図である。

【図4】

本発明による信号多重化回路の構成の一例を示す回路図である。

【図5】

図4の信号多重化回路の動作を示す信号タイミング図である。

【図6】

図4の信号多重化回路において使用されるトグルフリップフロップの構成の一例を示す回路図である。

【図7】

クロック信号及びトグルフリップフロップの2つのクロック出力の関係を示す図である。

【図8】

本発明による信号多重化回路の構成の変形例を示す回路図である。

【図9】

本発明による信号多重化回路の別の実施例を示す回路図である。

【図10】

図2の従来技術の信号多重化回路に対してリタイマーを付加した構成を示す図

である。

【図 1 1】

図 4 の本発明による信号多重化回路に対してリタイマーを付加した構成を示す図である。

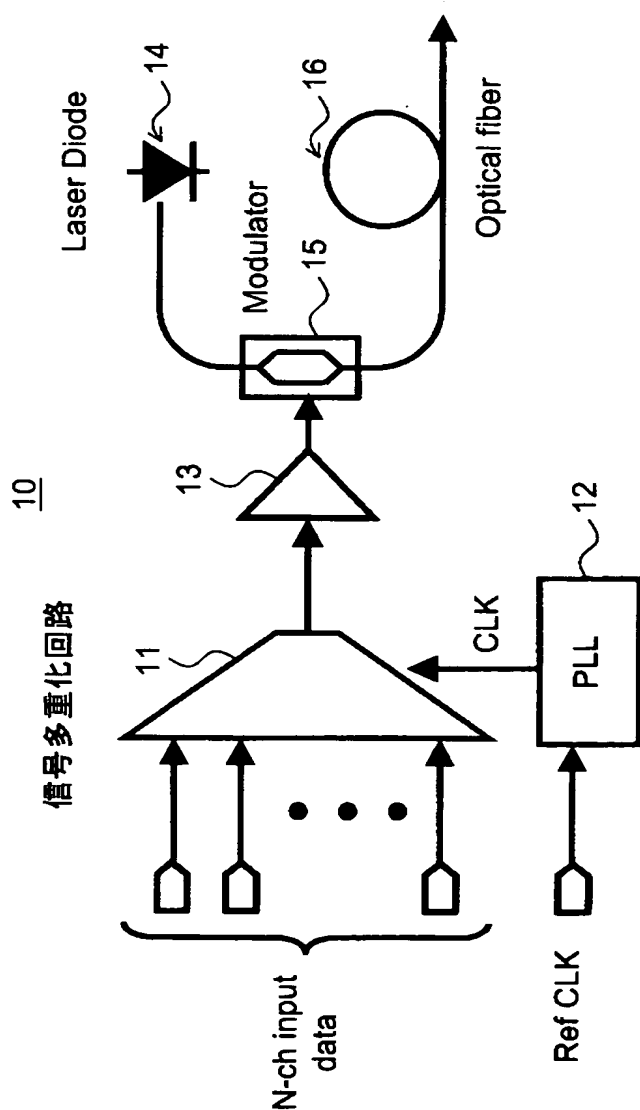
【符号の説明】

- 1 0 光通信システム送信部
- 1 1 信号多重化回路
- 1 2 P L L 回路
- 1 3 増幅器
- 1 4 レーザーダイオード
- 1 5 変調器
- 4 1、4 2、4 3 セレクタ回路
- 4 4 トグルフリップフロップ
- 4 5、4 6、4 7、4 8、4 9 バッファ

【書類名】 図面

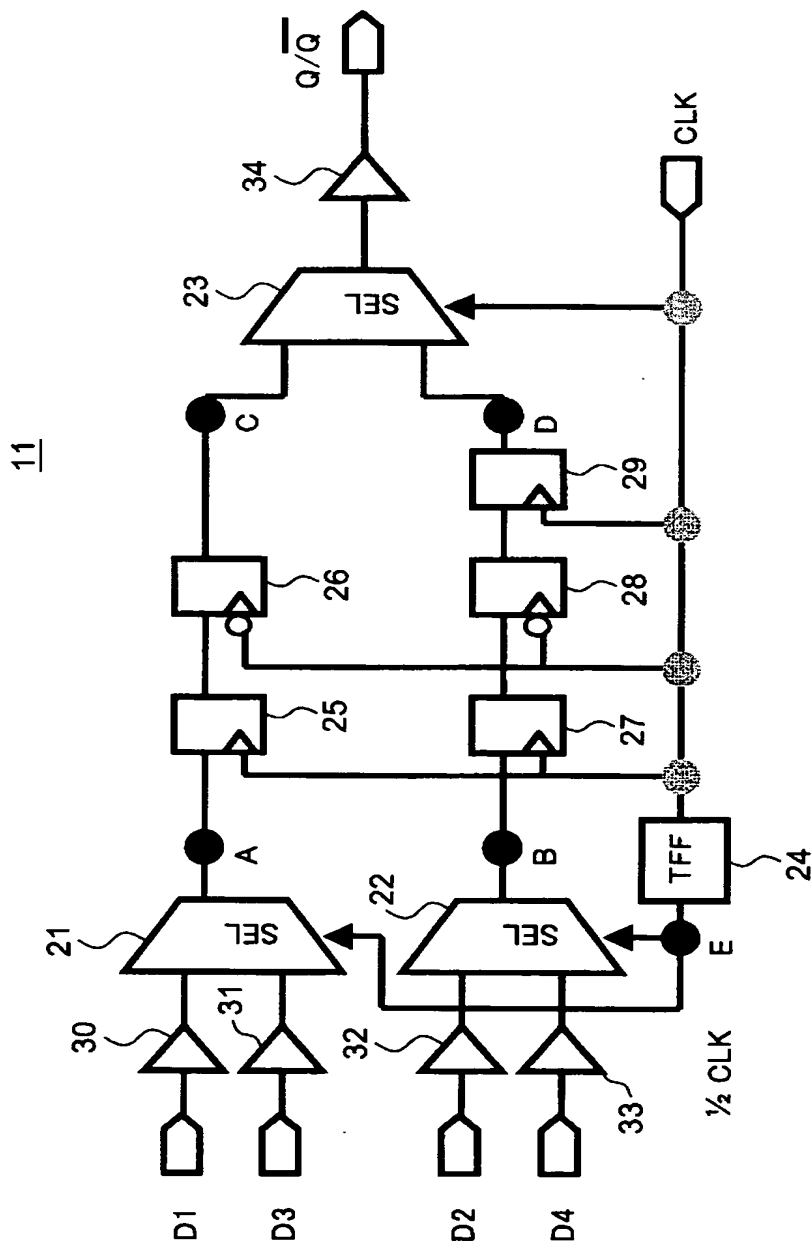
【図 1】

光通信システム送信部の一般的な構成を示す図



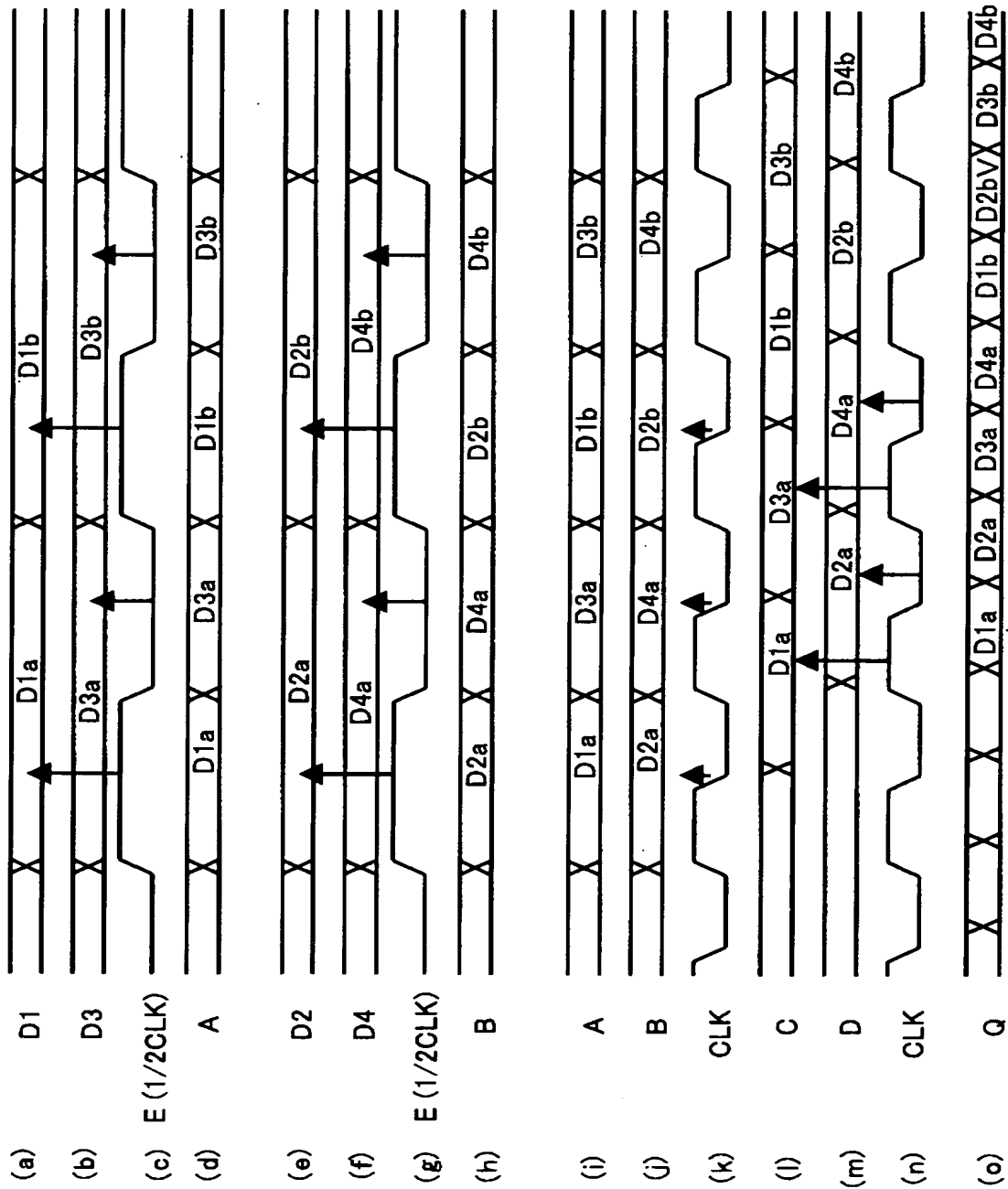
【図 2】

従来の信号多重化回路の構成の一例を示す回路図



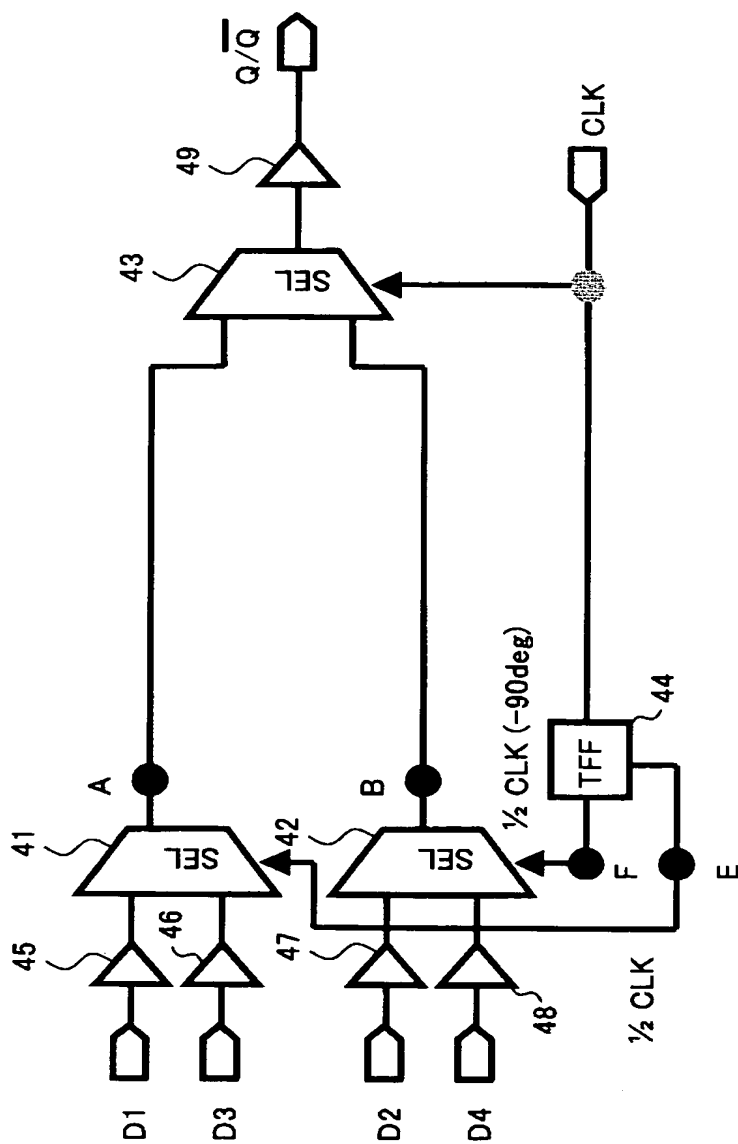
【図 3】

図2の信号多重化回路の動作を示す信号タイミング図



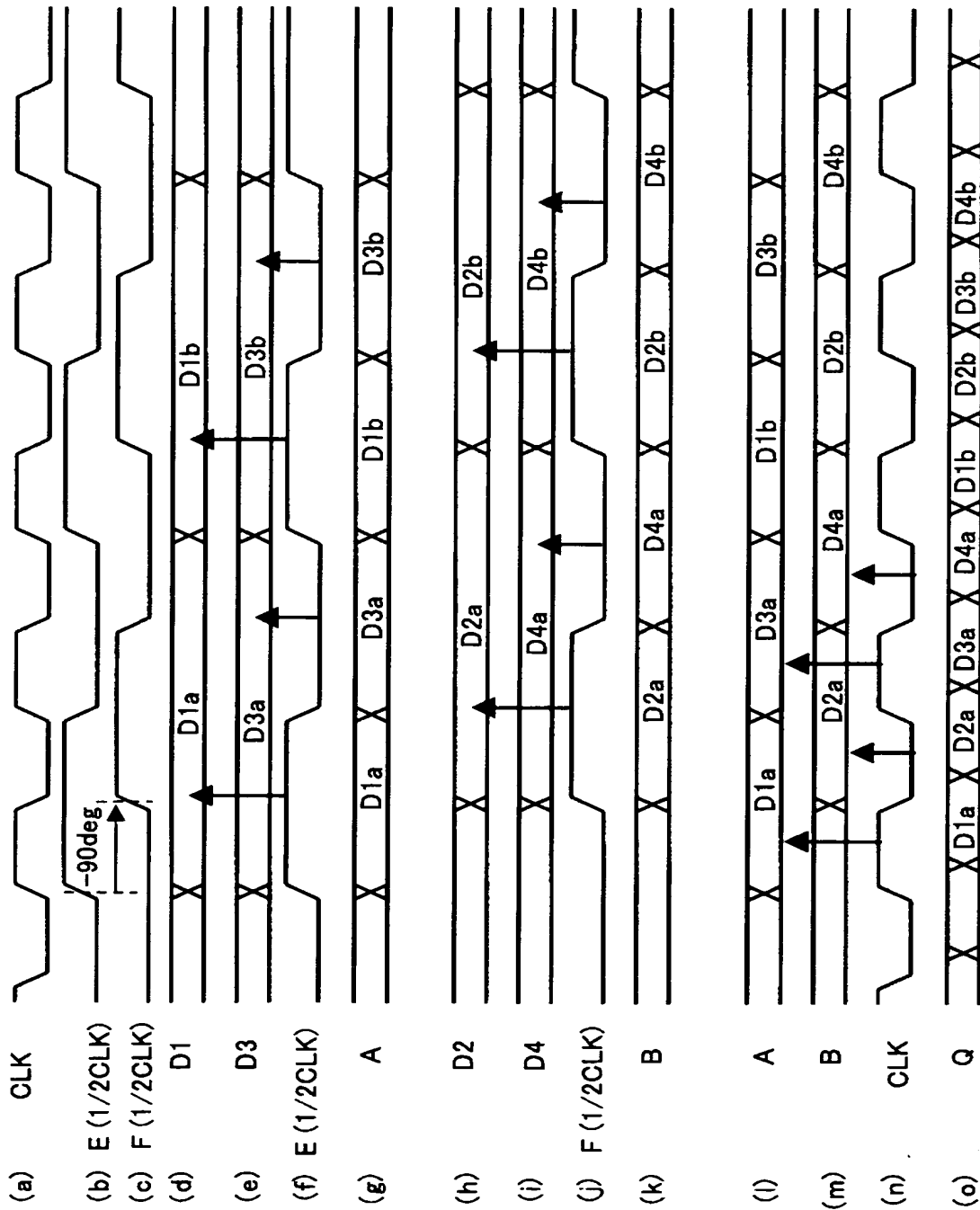
【図 4】

本発明による信号多重化回路の構成の一例を示す回路図



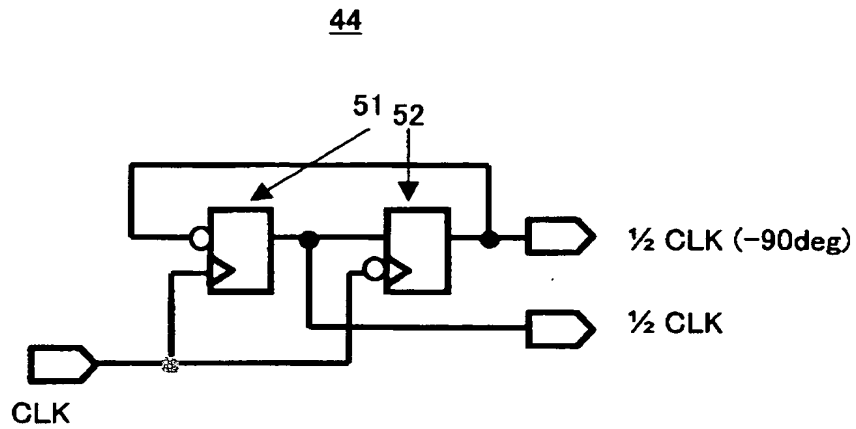
【図 5】

図4の信号多重化回路の動作を示す信号タイミング図



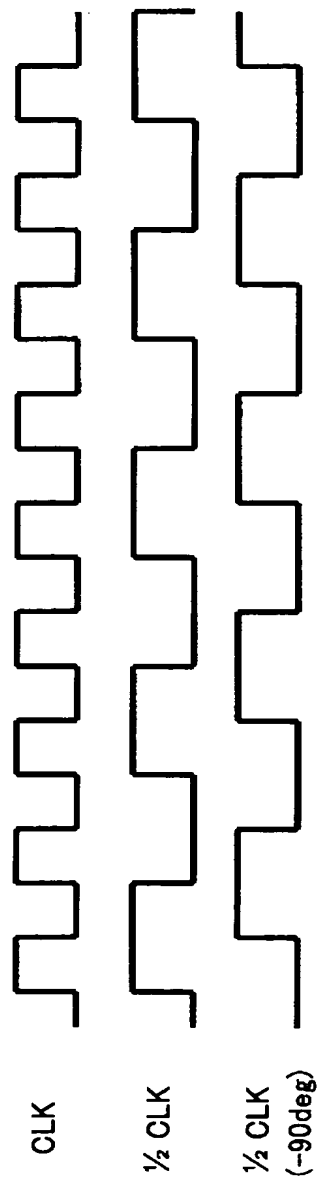
【図 6】

図4の信号多重化回路において使用される
トグルフリップフロップの構成の一例を示す回路図



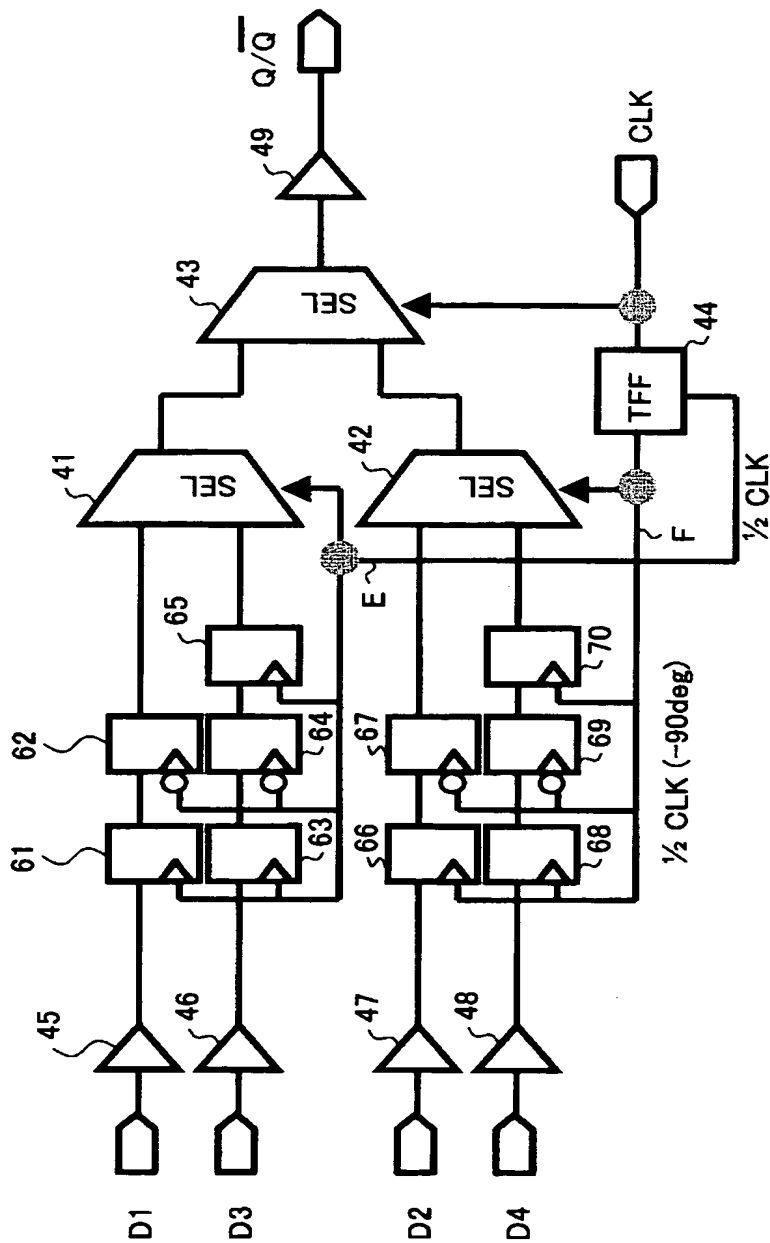
【図 7】

クロック信号及びトグルフリップフロップ
の2つのクロック出力の関係を示す図



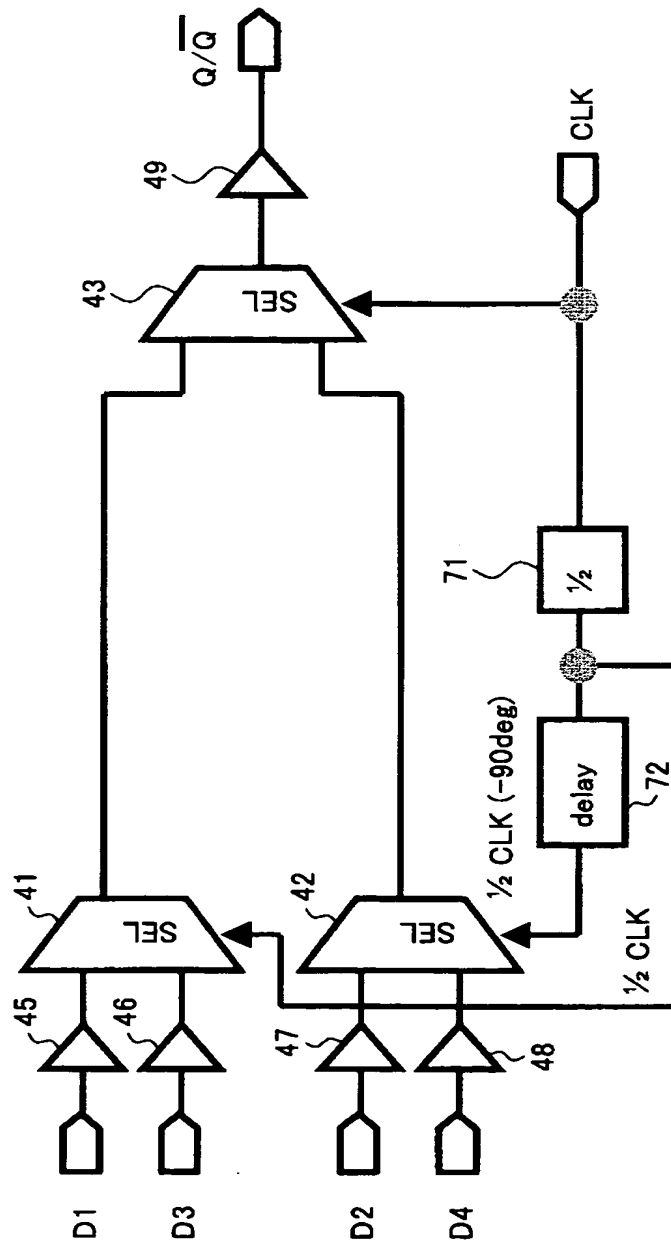
【図 8】

本発明による信号多重化回路の構成の変形例を示す回路図



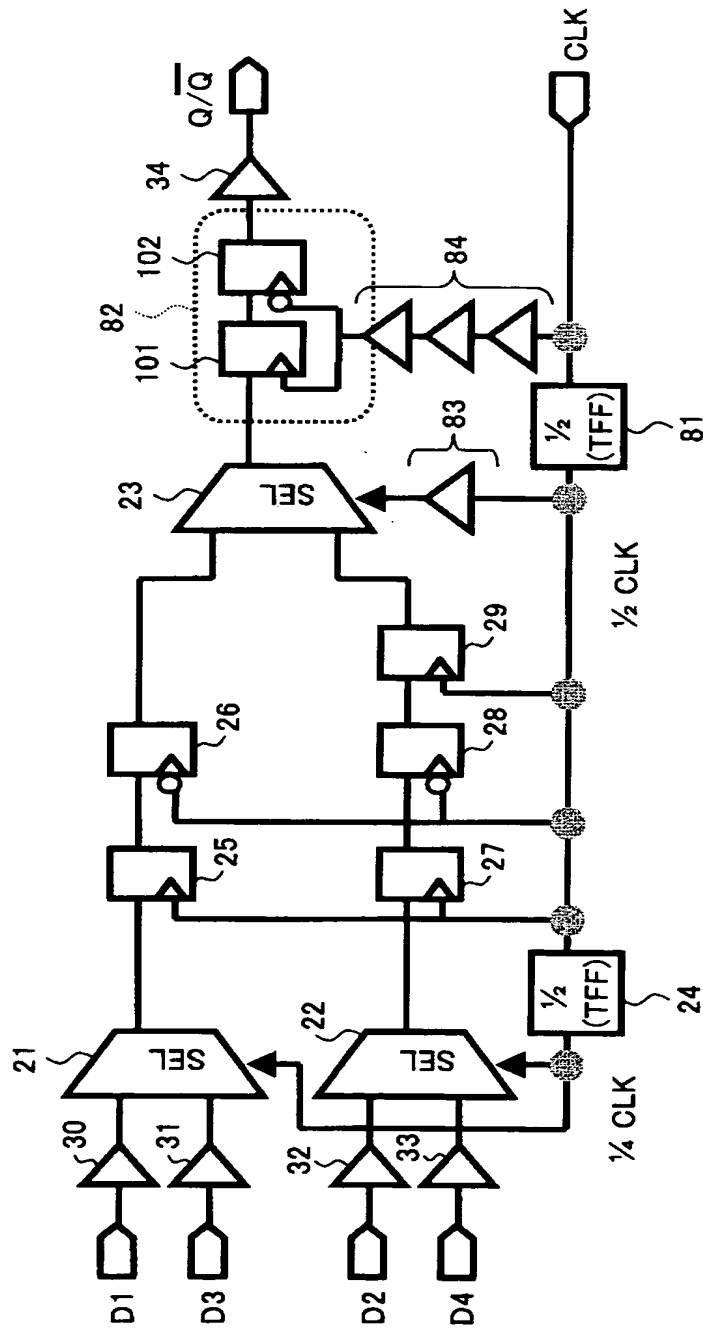
【図 9】

本発明による信号多重化回路の別の実施例を示す回路図



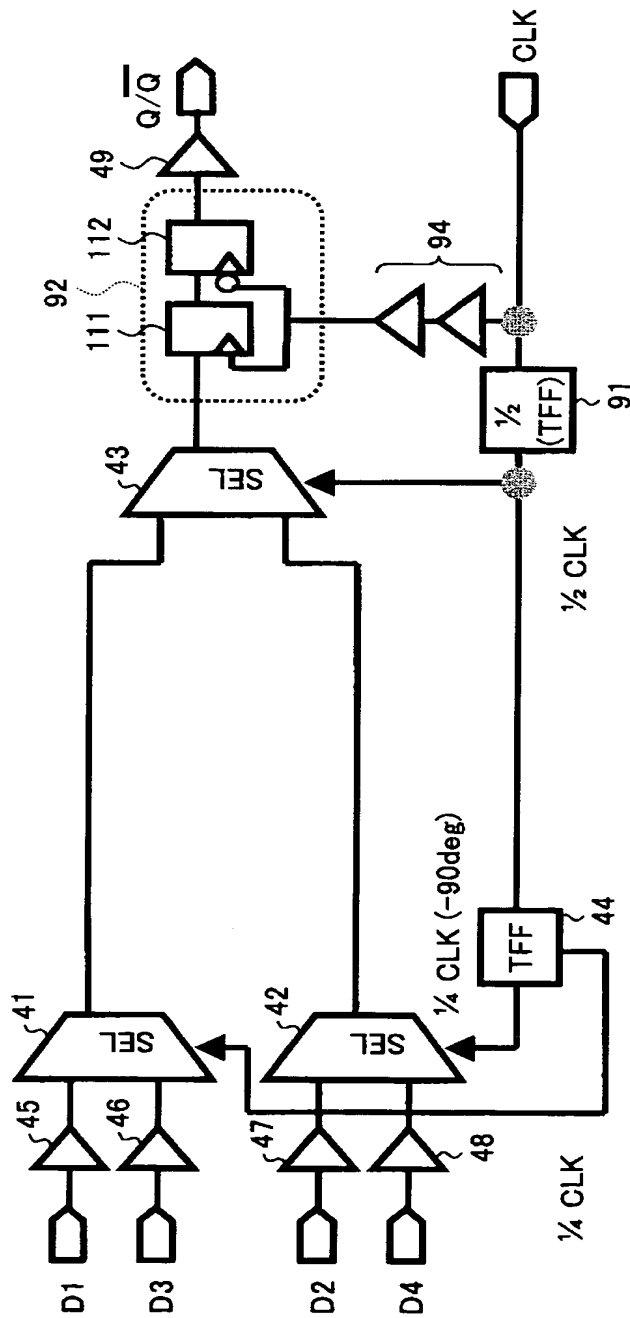
【図10】

図2の従来技術の信号多重化回路に対して
リタイマーを付加した構成を示す図



【図 11】

図4の本発明による信号多重化回路に
対してリタイマーを付加した構成を示す図



【書類名】 要約書

【要約】

【課題】 本発明は、消費電力及び回路面積を必要最小限に抑えながら、高速で確実な動作の可能な信号多重化回路を提供することを目的とする。

【解決手段】 信号多重化回路は、第 1 のクロック信号に同期して 2 つのデータ信号を多重化する第 1 のセクタ回路と、第 2 のクロック信号に同期して 2 つのデータ信号を多重化する第 2 のセクタ回路と、第 1 のクロック信号と第 2 のクロック信号とを互いに 90° 位相のずれた信号として生成するクロック制御回路を含むことを特徴とする。

【選択図】 図 4

特願 2 0 0 2 - 3 0 9 7 5 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 2 2 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区上小田中 1 0 1 5 番地
氏 名 富士通株式会社
2. 変更年月日 1 9 9 6 年 3 月 2 6 日
[変更理由] 住所変更
住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名 富士通株式会社